

First Named Inventor	Giovanni Naso	<u>COMMUNICATION RE: FILING OF PRIORITY DOCUMENT UNDER 35 USC 119</u>
Serial No.	10/696,973	
Filing Date	October 30, 2003	
Group Art Unit	Unknown	
Examiner Name	Unknown	
Confirmation No.	Unknown	
Attorney Docket No.	400.206US01	
Title: ROM-BASED CONTROLLER MONITOR IN A MEMORY DEVICE		

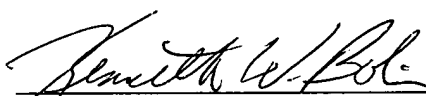
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

In accordance with the requirements for claiming right of priority under 35 U.S.C. 119, enclosed for filing in the above-identified application is a certified copy of Applicant's priority application RM2002 A 000198 (Italy) as filed on April 28, 2003.

Please contact the undersigned attorney at (612) 312-2200 if you have any questions.

Respectfully submitted,

Date: 1/30/04


Kenneth W. Bolvin
Reg. No. 34,125

Attorneys for Applicant
Leffert Jay & Polglaze, P.A.
P.O. Box 581009
Minneapolis, MN 55458-1009
Telephone 612-312-2200
Facsimile 612-312-2250



Ministero delle Attività Produttive
Direzione Generale per lo Sviluppo Produttivo e la Competitività
Ufficio Italiano Brevetti e Marchi
Ufficio G2



Autenticazione di copia di documenti relativi alla domanda di brevetto per:

N. **RM2003 A 000198**

*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

Con esclusione del Riassunto con disegno principale come specificato dal richiedente.

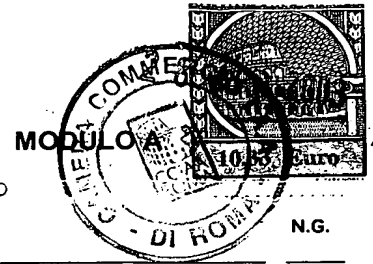
Roma, li **20 NOV. 2003**

IL DIRIGENTE
Paola Giuliano
Dr.ssa Paola Giuliano

AL MINISTERO DELLE ATTIVITA' PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITA' AL PUBBLICO



A. RICHIEDENTE (I)

1) Denominazione Micron Technology, Inc. codice _____
 Residenza Boise, Idaho (U.S.A.)
 2) Denominazione _____ codice _____
 Residenza _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome de Benedetti Fabrizio ed altri cod. fiscale _____
 denominazione studio di appartenenza SOCIETA' ITALIANA BREVETTI S.p.A.
 via Piazza di Pietra n. 39 città ROMA cap 00186 (prov) RM

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____
 classe proposta (sez/cl/scl) _____ gruppo/sottogruppo _____ / _____

D. TITOLO

Monitor ad unità di controllo basata su ROM in un dispositivo di memoria.

ANTICIPATA ACCESSIBILITA' AL PUBBLICO: SI ☐ NO ☒

SE ISTANZA: DATA _____ / _____ / _____

N. PROTOCOLLO _____

E. INVENTORI DESIGNATI

cognome nome
 1) NASO Giovanni 3) DE SANTIS Luca
 2) PISTILLI Pasquale 4) CONENNA Pasquale

F. PRIORITA'

nazione o organizzazione	tipo di priorità	numero di domanda	data di deposito	allegato S/R	SCIOGLIMENTO RISERVE Data N° Protocollo
1) _____	_____	_____	____/____/____	_____	____/____/____
2) _____	_____	_____	____/____/____	_____	____/____/____

G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICRORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

(Società dello Stato del Delaware)

lettera d'incarico segue

DOCUMENTAZIONE ALLEGATA

N. es.	PROV	n. pag.	DESCRIZIONE	SCIOGLIMENTO RISERVE Data N° Protocollo
Doc. 1) 2	PROV	44	riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)	____/____/____
Doc. 2) 2	PROV	06	disegno (obbligatorio se citato in descrizione, 1 esemplare)	____/____/____
Doc. 3) 0	RIS		lettera d'incarico	____/____/____
Doc. 4) 0	RIS		designazione inventore	____/____/____
Doc. 5) 0	RIS		documenti di priorità con traduzione in italiano	____/____/____
Doc. 6) 0	RIS		autorizzazione o atto di cessione	____/____/____
Doc. 7) 0			nominativo completo del richiedente	____/____/____

8) attestati di versamento, totale Euro duecentonovantuno/80 obbligatorio

COMPILATO IL 28 / 04 / 2003

FIRMA DEL (I) RICHIEDENTE (I) _____

Olberto Tonon

(Incr. Albo n. 83 RM)

CONTINUA (S/NO) NO

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA (S/NO) SI

CAMERA DI COMMERCIO INDUSTRIA ARTIGIANATO E AGRICOLTURA DI

ROMA

codice 58

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

RM 2003 A 000198

Reg. A

L'anno duemilatre, il giorno ventotto

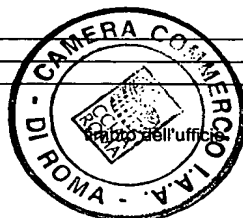
del mese di aprile

Il (i) richiedente (i) sopraindicato (i) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. 00 fogli aggiuntivi per la concessione del brevetto sopraportato.

ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE

[Signature]



L'UFFICIALE ROGANTE

[Signature]
 Ufficiale Rogante
 Silvia Alberti

RM 2003 A 000198

SIB BI3367R

400.206IT01

DESCRIZIONE DELL'INVENZIONE INDUSTRIALE dal titolo:
"MONITOR AD UNITÀ DI CONTROLLO BASATA SU ROM IN UN
DISPOSITIVO DI MEMORIA"

a nome di: Micron Technology, Inc.

(Società dello Stato del Delaware)

di: Boise, Idaho (U.S.A.)



DESCRIZIONE

Campo tecnico dell'invenzione

La presente invenzione si riferisce genericamente a dispositivi di memoria, ed in particolare la presente invenzione si riferisce al collaudo e/o debugging di dispositivi di memoria flash.

Base tecnica dell'invenzione

I dispositivi di memoria flash si sono sviluppati in una sorgente di uso comune di memoria non volatile per un'ampia gamma di applicazioni elettroniche. I dispositivi a memoria flash tipicamente impiegano una cella di memoria ad un solo transistor che consente elevate densità di memoria, alta affidabilità, e basso consumo di energia elettrica. Impieghi comuni per memorie



S.I.B.
ROMA

flash includono calcolatori portatili, assistenti digitali personali (PDA), telecamere digitali e telefoni cellulari. Tipicamente possono essere immagazzinati in dispositivi di memoria flash codici di programma, dati di sistema quale un sistema base di ingresso/uscita (BIOS).

Le operazioni di memoria flash quali cancellazione e programmazione sono realizzate impiegando algoritmi complessi costituiti da numerosi passi diversi e che richiedono controllo sulla temporizzazione, contatori, e tensioni analogiche. Per esempio, una operazione di programmazione a parola è tipicamente un anello di impulsi di programmazione e verifiche di programmazione fin quando viene scritto e verificato il valore desiderato con un appropriato margine di tensione.

Un circuito cui si fa tipicamente riferimento come unità di controllo di algoritmo è progettato per gestire l'esecuzione di vari passi complessi di operazione di memoria. La unità di controllo di algoritmo deve mantenere traccia dei passi delle operazioni anche quando viene sospesa una operazione al fine di servire una operazione a priorità più elevata. La unità di controllo di

algoritmo deve correttamente gestire le interruzioni e quindi riprendere il funzionamento originario in un punto appropriato per consentire che venga completata correttamente l'operazione sospesa.

Quando viene sviluppato un dispositivo di memoria, il codice che costituisce le varie operazioni di memoria deve essere eseguito e debugged. Tuttavia, è molto difficile determinare quale passo della unità di controllo di algoritmo sta eseguendo in un qualsiasi momento particolare. Un metodo tipicamente impiegato è quello di leggere informazione di bit di stato che la unità di controllo immagazzina in registri di controllo. Questi bit tipicamente contengono soltanto informazioni geniche circa l'algoritmo che viene eseguito. Non viene fornita informazione specifica su qualsiasi passo specifico.

Un altro metodo per il debugging è quello di effettuare un sondaggio interno impiegando aghi che toccano punti interni del circuito integrato per rivelare segnali interessanti. Tuttavia, il sondaggio interno non può rivelare più di qualche segnale allo stesso tempo e non può essere eseguito su circuiti integrati che sono incapsulati in una

confezione.

Per le ragioni sopra impiegate, e per altre ragioni che verranno esposte oltre che diverranno chiare a coloro che sono esperti nel ramo dalla lettura e comprensione della presente descrizione, vi è una necessità nella tecnica per un modo alternativo per collaudare ed effettuare il debug di algoritmi complessi in dispositivi di memoria.

Sommario

I problemi precedentemente menzionati con gli algoritmi di dispositivi di collaudo e debugging di memorie ed altri problemi sono considerati dalla presente invenzione e verranno compresi dalla lettura e studio della seguente descrizione.

Le varie forme di realizzazione si riferiscono ad un circuito progettato per il monitoraggio di operazioni di dispositivo di memoria, fatte scattare da un clock, che sono effettuate da una unità di controllo programmabile. Il circuito comprende un circuito di generazione di clock che genera un segnale di clock selezionato. Un circuito a microcontroller viene accoppiato al segnale di clock selezionato. In una prima forma di realizzazione, la unità di controllo programmabile possiede una memoria a sola lettura che immagazzina

le istruzioni che indicano i passi delle operazioni di programmazione e cancellazione. La unità di controllo è accoppiata ad un segnale di clock che esegue le istruzioni del programma in un periodo di clock. Il dispositivo di memoria contiene un decodificatore di modo a collaudo che consente diverse condizioni di modo a collaudo. Queste condizioni possono essere di vari tipi come il forzare impostazioni analogiche/logiche, sorvegliare valori analogici, o stati analogici trasferendo segnali interni alle piazzole di uscita.

Una schiera di memoria che immagazzina dati di schiera viene accoppiata al circuito a microcontroller. Un circuito di uscita è accoppiato alla schiera di memoria e al microcontroller per moltiplicare tra segnali di dati di macchina a stati e i dati della schiera e porre in uscita i risultati della moltiplicazione.

Altre forme di realizzazione della invenzione includono metodi ed apparecchi di ambito variabile.

Breve descrizione dei disegni

La figura 1 mostra uno schema a blocchi di una prima forma di realizzazione del monitor a controller basato su ROM della presente invenzione.



La figura 2 mostra uno schema a blocchi di una prima forma di realizzazione del microcontroller programmabile basato su ROM della presente invenzione.

La figura 3 mostra un diagramma di temporizzazione di una prima forma di realizzazione dei segnali di comando a clock della presente invenzione.

La figura 4 mostra un digramma di flusso di una prima forma di realizzazione di un metodo per sorvegliare l'attività di una memoria che effettua operazione di programmazione/cancellazione della presente invenzione.

La figura 5 mostra uno schema a blocchi di una prima forma di realizzazione dei blocchi WSM Monitor Data e Output secondo la figura 1.

La figura 6 mostra uno schema a blocchi di una prima forma di realizzazione di un dispositivo di memoria della presente invenzione.

Descrizione particolareggiata

Nella seguente descrizione particolareggiata della invenzione, si fa riferimento ai disegni allegati che ne formano parte, e nei quali sono mostrate, a titolo di esempio, specifiche forme di realizzazione secondo le quali l'invenzione può

essere realizzata in pratica. Nei disegni, numeri simili descrivono componenti sostanzialmente simili nelle varie viste. Queste forme di realizzazione sono descritte con sufficienti dettagli per consentire a coloro che esperti nel ramo di realizzare in pratica l'invenzione. Si possono impiegare altre forme di realizzazione e si possono apportare variazioni strutturali, logiche ed elettriche senza allontanarsi dall'ambito della presente invenzione. La seguente descrizione particolareggiata, conseguentemente, non deve essere considerata in senso limitativo, e l'ambito della presente invenzione è definito soltanto dalle rivendicazioni allegate e dai loro equivalenti.

La figura 1 illustra uno schema a blocchi di una prima forma di realizzazione del circuito di monitoraggio della presente invenzione. Il circuito di monitoraggio, impiegato per scopi di collaudo/debug, traccia l'attività di una memoria flash che effettua operazioni di programmazione/cancellazione organizzato da un microcontroller basato su ROM.

Forme di realizzazione della presente invenzione possono realizzare vari modi di collaudo/debug quale un modo di monitoraggio di

indirizzo di ROM, avviato da un segnale "tra" in cui l'indirizzo di ROM (interno al microcontroller) e i registri di stato di algoritmo (stato) sono resi disponibili all'uscita 115. Ancora un altro modo è il modo Write State Machine Monitor avviato da un segnale "twsm", che può fornire l'indirizzo di ROM e altri dati interni riferiti alle operazioni interne del microcontroller 107 disponibili sull'uscita 115. Per scopi di chiarezza, non sono qui illustrati tutti i possibili modi di collaudo/debug realizzati dalla presente invenzione. La presente invenzione non è limitata ad un qualsiasi dato insieme di modi di collaudo/debug.

I segnali di modo di collaudo (ad esempio "testck", "tra" e "twsm") sono generati da un circuito 100 di decodifica di modo all'interno del dispositivo di memoria. In una prima forma di realizzazione, il circuito 100 di decodifica può essere abilitato soltanto in un ambiente di una fabbrica e non dall'utilizzatore finale. Ciò viene effettuato con un segnale "test enable" che non può essere forzato dal cliente. Il circuito 100 del decodificatore di modo di collaudo non è genericamente disponibile poiché i modi di collaudo

non sono disponibili dopo i collegamenti dei fili o poiché questi richiedono valori di tensione fuori specifica. Dopo essere stato abilitato, il decodificatore 100 di modo di collaudo speciale richiede particolari codici o indirizzi "ADD" e/o dati (DQ), e particolari valori su segnali di controllo CE_, WE_ e OE_ per decodificare specifici modi di collaudo secondo tecniche ben note nel ramo.

Un oscillatore 101 interno genera un segnale di clock interno che viene impiegato durante le operazioni normali del dispositivo di memoria. Il segnale di clock interno, in una forma di realizzazione, è un segnale periodico avente una frequenza fissa.

È previsto un ingresso per un segnale di clock esterno per abilitare un clock di modo speciale test/debug da impiegare per comandare al clock il circuito. Questo ingresso, che può essere sotto forma di una piazzola di contatto elettrico o altro tipo di collegamento, può accettare un segnale di clock avente una frequenza che può esser variata dall'apparecchiatura di collaudo. Il clock può avere una frequenza nell'intervallo da 0 Hz fino ad un qualche massimo prestabilito che varia con



l'applicazione. Per esempio, il segnale di clock può essere fatto marciare ad una frequenza normale, periodica durante parti delle operazioni di memoria che si effettuano nominalmente. Quando il codice di programma di funzionamento della memoria raggiunge un punto che è sospetto avere un problema, il clock può essere rallentato o arrestato in un punto particolare al fine di monitorare segnali che corrispondono alla condizioni di avaria rivelata.

Sia il segnale di clock interno sia il segnale di clock esterno sono immessi in un dispositivo 102 di commutazione che commuta tra i due segnali. Il dispositivo di commutazione può essere un qualche genere di rete a transistori che controlla quale segnale di clock viene selezionato sulla base di un segnale di controllo di commutatore (cioè, "textxk").

Il segnale di controllo di commutatore viene generato da un decodificatore 100 speciale di modo di collaudo. L'attività del microcontroller basato su ROM può essere monitorata o impiegando il clock interno oppure un clock esterno, a seconda dei requisiti della particolare circostanza che deve essere debugged. Altre forme di realizzazione impiegano un segnale di controllo a commutatore

applicato ad una piazzola elettricamente conduttrice del dispositivo di memoria.

L'uscita di clock selezionata (ad esempio "ck") dal dispositivo 102 di commutazione è immessa in un generatore di fase 105 che è responsabile per la generazione di segnali multipli di clock. In una forma di realizzazione, il generatore 105 di fase genera quattro separati segnali di clock che sono posti in uscita su quattro linee separate di segnale di clock verso il microcontroller 107. Ciascuno dei quattro segnali di clock ha una differenza di fase rispetto agli altri tre segnali di clock. Una prima forma di realizzazione di tali segnali di clock è illustrata nel diagramma di temporizzazione di figura 3 e discussa successivamente. Questi quattro segnali di clock con separazione di fase sono etichettati come p1-p4 in figura 1.

Il microcontroller 107 basato su ROM è sincronizzato alle varie fasi di clock p1-p4. In una prima forma di realizzazione, passi specifici di operazione di programmazione/cancellazione eseguiti dal microcontroller 107 sono sincronizzati a diverse fasi del clock.

Una Command User Interphase (CUI) 103 genera

segnali di controllo e segnali di stato dai segnali di dati e di controllo che sono immessi nella CUI 103. La CUI 103 determina il modo desiderato che deve essere avviato. In una prima forma di realizzazione, il segnale di abilitazione del chip a circuito integrato (cioè, CE_), il segnale di abilitazione di scrittura del circuito integrato (cioè, WE_), ed un sottoinsieme delle linee DQ sono immesse alla Command User Interphase 103. Altre forme di realizzazione impiegano altri ingressi di segnale di controllo e diverse quantità delle linee DQ.

Il CUI 103 è un decodificatore asincrono avente una ROM interna e una logica di decodificatore per decodificare le linee di ingresso DQ al fine di generare segnali di controllo verso il microcontroller 107. Lo stato dei segnali CE_ e WE_ determina quando le linee DQ sono decodificate. In una prima forma di realizzazione, il CE_ è in uno stato falso (cioè un alto logico) ed il segnale WE_ è in uno stato vero (ad esempio un logico basso) per avviare l'operazione di decodifica delle linee DQ. La CUI 103 può essere programmata per decodificare le linee DQ in un qualsiasi tra segnali di controllo

in dipendenza dall'applicazione. Le CUI 103 sono ben note nella tecnica e non sono ulteriormente discusse.

I segnali di controllo generati dalla CUI 103 sono immessi nel microcontroller 107. I segnali di stato generati dalla CUI 103 sono immesse in un blocco 115 di uscita. I segnali di controllo dalla CUI 103 sono impiegate dal microcontroller 107 per avviare l'algoritmo di programmazione/cancellazione. I segnali di stato sono immessi nel blocco 115 di output per essere multiplati con l'uscita DQ come discusso successivamente in riferimento alla figura 5. Questi segnali di stato possono includere lo stato delle operazioni di memoria avviate quali cancellazione, programmazione, e lettura. Altre forme di realizzazione impiegano altri segnali di stato. In una prima forma di realizzazione, se il segnale CE_ è vero ed il segnale WE_ è falso ed è presente una configurazione prestabilita che rappresenta avvio di programmazione o cancellazione sul sottoinsieme di linee DQ, viene avviata una sequenza complessa di operazioni richieste per effettuare un programma di collocazione oppure una cancellazione di settore. Le routine per effettuare operazioni di



programmazione/cancellazione sono algoritmi adattativi che dipendono da segnali di retroazione (ad esempio tensioni di soglia di cella) ricevuti dalla schiera 113 di memoria e dalle interruzioni da parte dell'utilizzatore. Ad esempio, se le istruzioni di ROM specificano una operazione di memoria di programma assieme ad una operazione di verifica, il microcontroller 107 verificherebbe le tensioni di soglia delle celle di memoria per determinare se queste hanno raggiunto la tensione bersaglio per uno stato programmato. Se lo stato programmato non è stato raggiunto, il microcontroller continua ad eseguire istruzioni di programma che inviano impulsi di programmazione alla schiera.

Il microcontroller 107 ha un ingresso di segnale di impostazione che, in una prima forma di realizzazione, specifica i parametri da impiegare nelle operazioni di programmazione o cancellazione. Questi segnali di impostazione, in una prima forma di realizzazione, sono immagazzinati in celle di memoria flash dedicate per effettuare regolazioni/aggiustamenti di algoritmo. Queste speciali celle di memoria flash sono programmate/cancellate in fabbrica impiegando

specifici modi di collaudo. Ad esempio, una tale impostazione può specificare il numero di operazioni di programmazione/verifica effettuate prima che si consideri che una cella ha fallito. Altre forme di realizzazione specificano parametri aggiuntivi per i segnali di impostazione.

Dato che il funzionamento di un dispositivo a memoria flash può essere interrotto da un'altra operazione, debbono essere previsti alcuni mezzi per tracciare e controllare queste interruzioni. Un Suspend Resume Controller 109 effettua questo compito mettendo in coda una richiesta di sospensione, interrompendo il microcontroller 107 al tempo appropriato mentre si segnala questo evento ad un registro di stato di dispositivo, e riprendendo la esecuzione della operazione interrotta quando viene ricevuto un comando di ripresa. Il Suspend Resume Controller genera segnali di dati (cioè "data1") riferiti alle operazioni di sospensione e ripresa. Ad esempio, segnali tipici dal Suspend Resume Controller 109 potrebbero essere: richiesta di sospensione, sospensione completata, azzeramento della operazione di sospensione, e algoritmo completato. Altre forme di realizzazione impiegano diversi

segnali e/o segnali aggiuntivi.

Il monitor 111 WSM sorveglia segnali multipli di ingresso per generare segnali di dati di monitor di macchina a stati di scrittura nel modo di collaudo. Questi segnali sono posti in uscita dal monitor 111 WSM come un segnale a 16 bit "twsm_data". In una prima forma di realizzazione, il monitor 111 WSM è accoppiato alle linee di dati (cioè, "data1") da una unità di controllo 101 Suspend Resume, un sottoinsieme di linee di indirizzo (cioè, a[2]) del dispositivo di memoria, un indirizzo di riga di ROM a 8 bit (cioè, "ra") dal microcontroller 107, un segnale di controllo di bus di collaudo (cioè, "tbus") dal microcontroller 107, segnali di stato del microcontroller 107 (cioè, "data2"), ed un segnale di monitor di macchina a stati di scrittura a modo a collaudo (cioè "twsm"). I segnali del microcontroller sono discussi successivamente con maggiori particolari facendo riferimento alla figura 2. I segnali twsm_data posti in uscita dal monitor 111 WSM sono immessi nel blocco 115 di output come descritto in seguito in riferimento alla figura 5.

Il blocco 115 di output è un dispositivo di uscita che comprende mezzi per sorvegliare segnali

di dati, segnali di indirizzo, e/o segnali di collaudo/debug dalla schiera 113 di memoria e la ROM interna al microcontroller 107. Il blocco 115 di Output include anche multiplatori, controllati da un segnale "rd_ctrl" ed altri segnali descritti in seguito, per selezionare tra l'uscita dati dalla schiera 113 di memoria e "twsm_data" dal monitor 111 WSM. Il segnale "rd_ctrl" è generato dal porre in OR in 120 il segnale "tra" (il segnale di avvio di modo di monitor di indirizzo di ROM) con il segnale "twsm" (cioè il segnale di avvio di modo di monitor di Write State Machine). Se l'uno o l'altro di questi segnali sono veri, è vera l'uscita della operazione 120 di OR.

In una prima forma di realizzazione, quando il segnale "rd_ctrl" è a livello logico 1, vengono selezionati i dati di monitor. Uno zero logico sul segnale "rd_ctrl" seleziona dati di schiera di memoria. Forme di realizzazione alternative usano l'inverso di questi livelli logici per selezionare tra gli ingressi del blocco 115 di uscita. L'impiego del segnale "rd_ctrl" è descritto con maggiori particolari in riferimento alla figura 5.

La figura 2 illustra uno schema a blocchi di una prima forma di realizzazione del



microcontroller 107 basato su ROM della presente invenzione. Il microcontroller 107 è costituito da un decodificatore 203 di istruzione che legge ed esegue istruzioni che sono immagazzinate nella ROM 205. Il decodificatore 203 di istruzione può anche effettuare altri tipi di azioni quali incrementare il contatore di programma per passare alle istruzioni successive nella ROM 205, effettuare operazioni sui dati (operandi) nella circuiteria 213 di controllo di bus, selezionare un registro 201 per immagazzinare segnali di attuatore che sono impiegati per avviare operazioni di memoria (ad esempio cancellazione, programmazione) come descritto precedentemente, e generare segnali di controllo per gestire correttamente diversi passi delle operazioni di programmazione/cancellazione. Alcuni di questi segnali di controllo, (ad esempio alt), sono anche inviati al monitor WSM 111 di figura 1 per essere eventualmente sorvegliati durante le operazioni di debug.

Il registro 201 immagazzina dati quali i segnali di retroazione dalla schiera di memoria, le impostazioni per i parametri del microcontroller 107, ed i segnali di attuatore impiegati dalla schiera di memoria. Questi dati sono immagazzinati

in collocazioni di registro selezionate come sono selezionate dal decodificatore 203 di istruzione impiegando il segnale di ingresso di selezione di registro.

Il registro 201 in aggiunta immagazzina i dati impiegati come operandi dalla circuiteria 213 del controllo di bus. La circuiteria 213 di controllo di bus impiega gli operandi e altri segnali di ingresso per generare segnali di controllo per controllare il bus interno al dispositivo di memoria. Questi segnali di controllo includono i segnali di "risultato" che sono immagazzinati nel registro 201 del microcontroller. Parte di questi segnali di controllo sono raggruppati nei segnali "tbus" che sono inviati al monitor WSM di figura 1 per scopi di debug. Le operazioni della circuiteria 213 di controllo di bus e i segnali di controllo di bus interno generati da questi sono ben noti nella tecnica delle memoria flash e non verranno ulteriormente discussi in questa sede.

Un contatore 207 di programma può essere forzato ad un predeterminato conteggio di programma in risposta a segnali di controllo dalla CUI di figura 1. Una memoria 209 o latch di dati immagazzina uno o più indirizzi di ROM per ciascun

modo di cui è capace il microcontroller 107 basato su ROM della presente invenzione. Le istruzioni richieste per il particolare modo sono immagazzinate nella ROM 205 iniziando a tale indirizzo. L'indirizzo appropriato viene scelto dai segnali di controllo CUI selezionando il particolare indirizzo attraverso un multiplatore 211.

Lo stato dei segnali di controllo CUI determina quale indirizzo della ROM viene selezionato. Per esempio, come si può vedere in figura 1, se il segnale WE_ è falso ed il segnale CE_ è vero i dati presenti sul sottoinsieme delle linee DQ determina l'operazione da avviare: una programmazione o una cancellazione.

I segnali di controllo CUI selezionano quindi l'operazione desiderata selezionando tale particolare indirizzo della ROM di funzionamento attraverso gli ingressi di controllo del multiplatore 211. Questo indirizzo viene immesso nella circuiteria 213 di controllo di bus che determina quando, in risposta ad una o più delle fasi di clock, immettere questo valore (pc override) al contatore 207 di programma quale nuovo segnale di indirizzo di ROM.

Il salto sul nuovo indirizzo di ROM può essere condizionato o non condizionato. In un salto non condizionato, il contatore 207 di programma viene caricato con il nuovo indirizzo di ROM e il decodificatore 203 di istruzione inizia ad eseguire automaticamente da quell'indirizzo. In un salto condizionato, la circuiteria 213 di controllo di bus determina se sono soddisfatte le condizioni provenienti da operand1/operand2 per eseguire un salto richiesto. Usualmente, queste condizioni sono correlate con verifiche analogiche/logiche che richiedono di essere soddisfatte dopo un gruppo di passi di un algoritmo al fine di effettuare un nuovo gruppo di passi.

Il decodificatore 203 di istruzione e la ROM 205, sotto il controllo del contatore 207 di programma, genera i segnali di controllo indicati come "data2" in figura 1. Questi segnali di controllo possono includere un comando di alt, un comando di dati validi, ed un comando di lettura. Questi comandi ed il loro uso sono ben noti nella tecnica e non sono discussi ulteriormente in questo documento. Forme di realizzazione alternative impiegano altri comandi in aggiunta a o in luogo di questi comandi.



La figura 2 illustra soltanto una possibile realizzazione pratica del microcontroller basato su ROM della presente invenzione. La presente invenzione non è limitata ad una qualche architettura di microcontroller.

La figura 3 illustra un diagramma di temporizzazione di una prima forma di realizzazione del microcontroller basato su ROM della presente invenzione. Il clock selezionato dal clock interno oppure esterno è indicato come "ck". Le quattro fasi sono generate dal generatore di fase di figura 1 e sono illustrate come p1-p4. In questa forma di realizzazione, le diverse fasi hanno la medesima frequenza del clock selezionato ma sono sfalsate nel tempo.

La frequenza del clock selezionato dipende dall'applicazione, e quindi non è illustrata in questa forma di realizzazione. Forme di realizzazione alternative possono impiegare diversi sfalsamenti nel tempo e diverse frequenze.

La figura 4 illustra un diagramma di flusso della forma di realizzazione di un metodo per monitorare l'attività di una memoria che effettua operazione di programmazione/cancellazione della presente invenzione. Il modo di collaudo a monitor

desiderato 401 da un decoder di modo di collaudo di figura 1 come discusso precedentemente. Il clock appropriato è selezionato 405 in risposta a diverse necessità di debug.

La operazione che deve essere sottoposta a debug (o programmazione o cancellazione) è avviata 410 dai comandi di modo di utilizzatore. L'indirizzo di ROM di partenza associato con la operazione richiesta è caricato automaticamente 415 nel contatore di programma per abilitare il decodificatore di istruzioni per eseguire istruzioni dalla ROM iniziando a questo indirizzo. Le collocazioni di ROM cui si ha accesso possono includere segnali di attuatore per l'impiego da parte del microcontroller per effettuare cancellazione di cella o operazione di programmazione sulla schiera di memoria. Alcuni dei segnali di attuatore possono essere generati in risposta a segnali di retroazione dalla schiera di memoria.

La figura 5 illustra una forma di realizzazione di uno schema a blocchi più particolareggiato del VSW Monitor Data Block 111 e blocco 115 di Output di figura 1. Il blocco 111 di VSWM Monitor Data possiede un multiplatore 501 che

commuta tra il segnale "data1" dal controller di sospensione e ripresa di figura 1 ed il segnale "data2" dal microcontroller. Il segnale di controllo del moltiplicatore, in questa forma di realizzazione, è la seconda linea di indirizzo (cioè, a[2]). Come è ben noto nella tecnica, quando a[2] è un livello logico alto, un ingresso del moltiplicatore 501 è stato scelto. Quando a[2] è un basso logico, l'altro ingresso del moltiplicatore 501 è stato scelto. Forme di realizzazione alternative impiegano altri segnali di controllo. L'uscita da questo moltiplicatore 501 è un segnale ad 8-bit (o "data1" oppure "data2") che è combinato con il segnale "ra" di indirizzo di ROM per formare un segnale a 16 bit che viene immesso in un secondo moltiplicatore 503.

Il secondo moltiplicatore 503 possiede anche il segnale "tbus" dal microcontroller come secondo ingresso. Il segnale di controllo di questo moltiplicatore 503 è il segnale "twsm" e le fasi di clock p1 e p4. Se "twsm" è nello stato basso logico, "twsm_data" è la concatenazione dei segnali "ra" e "pass1". Un esempio di tale segnale può essere espresso come $twsm_data [15:0] = (ra [15:8], pass1 [7:0])$. Forme di realizzazione alternative

possono concatenare in altri modi questi segnali.

Se il segnale "twsm" è a stato alto logico, "twsm_data" è "tbus" durante p1 e p4. Durante p2 e p3, "twsm_data" è una concatenazione di "ra" e "pass1" come sopra espresso.

Il blocco 115 di Output è costituito da due moltiplicatori 505 e 507 che effettuano una moltiplicazione tra il segnale "twsm_data", il segnale "staus" e lo "array data" dalla schiera di memoria. Il primo moltiplicatore 505 commuta tra 1 byte di "twsm_data" e il segnale di "status". In una prima forma di realizzazione, il byte più significativo di "twsm_data" è suddiviso dal segnale di ingresso e immesso al secondo moltiplicatore 507 del blocco 115 output. Forme di realizzazione alternative impiegano diverse parti di "twsm_data".

Il segnale "tra" controlla la commutazione del primo moltiplicatore 505. In una forma di realizzazione, se "tra" è un alto logico, sono scelti i segnali "status". Se "tra" è un basso logico, il byte è meno significativo di "twsm_data" viene scelto come uscita del moltiplicatore 505. Forme di realizzazione alternative impiegano stati logici inversi per "tra".



La uscita del primo moltiplicatore 505 è concatenata con il byte più significativo di "twsm_data" ed è immesso al secondo moltiplicatore 507. Se "tra" è un alto logico questo ingresso è il byte più significativo di "twsm_data" concatenato con i segnali "status". Se "tra" è un basso logico, questo ingresso è "twsm_data".

Il secondo ingresso al secondo moltiplicatore sono i dati di schiera dalla schiera di memoria. In una prima forma di realizzazione, questa è una parola a 16 bit. Il segnale "rd_ctrl" dalla operazione 120 di OR seleziona tra i due ingressi. Quando "tra" e "twsm" sono ambedue a stato basso logico (cioè l'uscita OR è bassa), i dati della schiera sono scelti come uscita DQ. Se "tra" è un alto logico e "twsm" è un basso logico, DQ è la concatenazione del byte più significativo di "twsm_data" e "status". Se "tra" è un basso logico e "twsm" è un alto logico, DQ è identico a "twsm_data".

La figura 6 illustra uno schema a blocchi funzionale di una prima forma di realizzazione di un dispositivo 600 di memoria della presente invenzione. Il dispositivo 600 di memoria può essere accoppiato ad un elaboratore 610 per far

parte di un sistema elettronico 620. Il dispositivo di memoria 600 è stato semplificato per mettere a fuoco le caratteristiche della memoria che sono utili nella comprensione della presente invenzione. In una prima forma di realizzazione, il dispositivo di memoria è un dispositivo di memoria flash.

Il dispositivo di memoria include una schiera di celle 630 di memoria. Le celle di memoria sono celle di memoria a gate flottante non volatili e la schiera 630 di memoria è disposta in banchi di righe e colonne. In una prima forma di realizzazione, la schiera di celle di memoria è costituita da un blocco di memoria che costituisce un intervallo di indirizzo prestabilito della schiera di memoria.

È previsto un circuito 640 di buffer di indirizzo per agganciare segnali di indirizzo forniti sulle connessioni di ingresso di indirizzo A0-Ax 642. I segnali di indirizzo sono ricevuti e decodificati da un decodificatore 644 di riga e da un decodificatore 646 di colonna per accedere alla schiera di memoria 630. Si comprenderà da parte di coloro che sono esperti nel ramo, con il vantaggio della presente descrizione, che il numero di connessioni di ingresso di indirizzo dipende dalla

densità e architettura della schiera 630 di memoria. Cioè, il numero di indirizzi aumenta sia con il conteggio aumentato di celle di memoria ed i conteggi aumentati di banchi e blocchi.

Il dispositivo 600 di memoria legge dati nella schiera 630 di memoria impiegando amplificatori di lettura per leggere variazioni di tensione o corrente nelle colonne di schiera di memoria impiegando una circuiteria 650 di lettura/aggancio. La circuiteria 650 di lettura/aggancio, in una forma di realizzazione, è accoppiata alla lettura ed aggancio di una fila di dati dalla schiera 630 di memoria. La circuiteria 660 di buffer di uscita e di ingresso di dati è inclusa per la comunicazione di dati bidirezionale su una molteplicità di collegamenti di dati (DQ) 662 con l'elaboratore 610. La circuiteria 655 di scrittura è predisposta per scrivere dati nella schiera di memoria.

Il circuito 670 di controllo di comando decodifica segnali forniti sui collegamenti di controllo 672 dall'elaboratore 610. Questi segnali sono impiegati per controllare le operazioni sulla schiera 630 di memoria, inclusi lettura dati, scrittura dati ed operazioni di cancellazione. In

una forma di realizzazione, la circuiteria 670 di controllo è costituita da una macchina a stati che esegue le funzioni di controllo del dispositivo 600 di memoria e genera segnali di parola di abilitazione della presente invenzione.

Una schiera di registri 680 di controllo memorizza i dati di comandi e di controllo. Alcuni dei registri di controllo sono impiegati per tipi di controllo ed altri che possono essere riservati per espansione e/o uso futuro.

Il dispositivo di memoria illustrato nella figura 6 è stato semplificato per facilitare una comprensione di base delle caratteristiche della memoria in quanto queste si riferiscono alla presente invenzione. Una comprensione più particolareggiata della circuiteria interna e delle funzioni delle memorie flash e delle memorie flash sincrone è nota a coloro che sono esperti nel ramo. Forme di realizzazione alternative del dispositivo di memoria di figura 6 includono altri tipi di memoria quali memorie flash sincrone, memorie flash ad architettura NAND, memorie flash ad architettura NOR, ed altri tipi di memorie non volatili.

Conclusione

La circuiteria a microcontroller basato su ROM

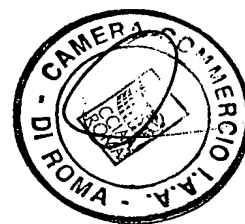


**S.I.B.
ROMA**

della presente invenzione può essere monitorata mentre un segnale di comando a clock esterno esegue passi attraverso diversi metodi di test/debug. Si può immettere nel circuito un prestabilito codice di avvio di modo al fine di impostare il circuito nel modo desiderato di test/debug ed eventualmente commutare da un segnale di clock interno al segnale di clock esterno. Si possono quindi usare vari segnali di controllo per scegliere se la uscita del circuito è costituita da dati dalla schiera di memoria o segnali di controllo/stato per effettuare il debug della richiesta operazione di programmazione/cancellazione.

Sebbene siano state descritte specifiche forme di realizzazione in questa sede si comprenderà da parte di coloro che hanno ordinaria esperienza nel ramo che qualsiasi disposizione che è calcolata per ottenere gli stessi scopi può essere sostituita alle specifiche forme di realizzazione mostrate. Saranno chiari a coloro con ordinaria esperienza nel ramo numerosi adattamenti dell'invenzione. Conseguentemente, questa domanda è intesa a proteggere qualsiasi adattamento o variazioni dell'invenzione. È manifestamente inteso che questa invenzione sia limitata soltanto dalle seguenti rivendicazione e loro equivalenti.

Giulberto Tonon
(Incr. Albo n. 83 BM)



S.I.B.
ROMA

RM 2003 A 000198

RIVENDICAZIONI

1. Circuito monitor a controller in un dispositivo di memoria, il circuito comprendendo:

una memoria di programma che memorizza routine di programmazione/cancellazione;

un circuito a microcontroller accoppiato ad un prescelto segnale di clock e alla memoria di programma, il circuito a microcontroller generando segnali di dati di macchina a stati in risposta al prescelto segnale di clock e alla routine di programmazione/cancellazione;

una schiera di memoria, accoppiata al circuito a microcontroller, per immagazzinare schiere di dati; e

un circuito di uscita accoppiato alla schiera di memoria e al microcontroller per moltiplicare tra i segnali di dati di macchina e i dati di schiera in risposta alla routine di programmazione/cancellazione.

2. Circuito della rivendicazione 1, ulteriormente comprendente un circuito decodificatore di modo di collaudo che seleziona configurazioni di circuito di monitor a controller e genera segnali di modo di collaudo.

3. Circuito della rivendicazione 2, in cui

il circuito decodificatore di modo di collaudo opera in risposta a ingressi di segnale di indirizzo e di controllo di dispositivo di memoria.

4. Circuito della rivendicazione 1, e ulteriormente comprendente un circuito di generazione di clock che seleziona tra un segnale di clock interno ed un segnale di clock esterno per generare il segnale di clock selezionato.

5. Circuito della rivendicazione 4, e ulteriormente comprendente un oscillatore di clock interno che genera il segnale di clock interno.

6. Circuito della rivendicazione 1, in cui il segnale di clock selezionato è costituito da una molteplicità di fasi di clock.

7. Circuito della rivendicazione 1, in cui il segnale di clock selezionato ha una frequenza che è variabile fino a 0 Hz.

8. Circuito della rivendicazione 1 e ulteriormente comprendente un circuito di avviamento di programmazione/cancellazione, accoppiato al microcontroller, che genera segnali di controllo per avviare operazioni di programmazione o cancellazione.

9. Circuito della rivendicazione 8, in cui il microcontroller comprende un contatore di

programma che è adattato per essere caricato con un indirizzo di inizio di memoria di programma che indica una collocazione nella memoria di programma che immagazzina un indirizzo iniziale della routine di programmazione/cancellazione.

10. Circuito monitor a controller in un dispositivo di memoria, il circuito comprendendo:

un circuito di commutazione di segnale di clock per commutare tra un segnale di clock esterno ed un segnale di clock interno per generare un segnale di clock selezionato;

un circuito di generazione di fasi per generare una molteplicità di fasi di clock dal segnale di clock selezionato;

un circuito a microcontroller accoppiato alla molteplicità di fasi di clock, il circuito a microcontroller generando segnali di dati di macchina a stati ed avendo una memoria a sola lettura che immagazzina routine di programmazione/cancellazione ad un indirizzo prestabilito;

una schiera di memoria flash, accoppiata al circuito a microcontroller per immagazzinare dati di schiera; e

un circuito di uscita per moltiplicare tra almeno i segnali di dati della macchina a stati e i



dati di schiera e porre in uscita i risultati della moltiplicazione.

11. Circuito della rivendicazione 10 ulteriormente includente un circuito decodificatore di modo di collaudo accoppiato al circuito a microcontroller e al circuito di uscita, il circuito di decodificatore di modo di collaudo generando segnali di collaudo per impostare il circuito a monitor a controller e abilitare il circuito di uscita a moltiplicare tra segnali di stato, i segnali di dati di macchina a stati, e i dati di schiera.

12. Circuito della rivendicazione 10, in cui i dati di macchina a stati includono un indirizzo di memoria a sola lettura ed uno stato di circuito a microcontroller.

13. Circuito della rivendicazione 10, in cui il circuito a microcontroller include:

un contatore di programma, accoppiato alla memoria a sola lettura, per generare indirizzi di memoria di sola lettura;

un decodificatore di istruzioni, accoppiato alla memoria a sola lettura e al contatore di programma, per accedere ed interpretare le istruzioni dalla memoria a sola lettura in risposta

al contatore di programma ed incrementare il contatore di programma;

un circuito a registro, accoppiato al decodificatore di istruzioni, per immagazzinare dati generati dal decodificatore di istruzioni e segnali di retroazione dalla schiera di memoria flash che indicano lo stato di una operazione di memoria; e

una memoria di indirizzo di partenza, accoppiata al contatore di programma, per immagazzinare indirizzi di memoria a sola lettura indicanti una collocazione per le routine di programmazione/cancellazione.

14. Circuito monitor a controller in un dispositivo di memoria, il circuito comprendendo:

un circuito di commutazione di segnale di clock per commutare tra un segnale di clock esterno ed un segnale di clock interno per generare un segnale di clock selezionato;

un circuito di generazione di fase per generare una molteplicità di fasi di clock dal segnale di clock selezionato;

un circuito a microcontroller accoppiato alla molteplicità di fasi di clock, il circuito a microcontroller generando segnali di dati di

macchina a stati ed avendo una memoria a sola lettura che immagazzina una molteplicità di routine di programmazione/cancellazione, ciascuna routine ad un prestabilito indirizzo di partenza;

una schiera di memoria flash, accoppiata al circuito a microcontroller, per immagazzinare dati di schiera;

un circuito a controller di ripresa da sospensione che genera dati di stato di dispositivo di memoria in risposta a segnali di interruzione e ripresa di operazione di memoria;

un circuito monitor a macchina a stati avente ingressi accoppiati al circuito a controller di sospensione e ripresa e al microcontroller, il circuito monitor a macchina a stati generando un segnale di uscita di macchina a stati di struttura in risposta ad una operazione di moltiplicazione tra i dati di stato di dispositivo di memoria e i segnali di dati di macchina a stati;

un circuito decodificatore di modo di collaudo che genera segnali di collaudo; e

un circuito di uscita, accoppiato al circuito decodificatore di modo di collaudo, per generare un segnale di uscita in risposta ad una operazione di moltiplicazione tra il segnale di uscita di macchina

a stati di scrittura e i dati di schiera, l'operazione di multiplazione essendo controllata da segnali di collaudo.

15. Metodo per effettuare il debug di un dispositivo di memoria avente una schiera di memoria ed un microcontroller basato su memoria a sola lettura, il metodo comprendendo:

selezionare una configurazione di monitor di modo di collaudo;

selezionare una configurazione di clock;

avviare una di una operazione di programmazione o cancellazione che viene eseguita in risposta alla configurazione di clock; e

leggere segnali di debug su piazzole di uscita del dispositivo di memoria.

16. Metodo della rivendicazione 15 in cui l'avvio della operazione di programmazione o cancellazione è in risposta ad un segnale di abilitazione di chip, un segnale di abilitazione di scrittura, ed almeno un segnale di dati.

17. Metodo della rivendicazione 15, in cui la selezione di una configurazione di clock inoltre comprende il selezionare tra un segnale di clock esterno ed un segnale di clock interno in risposta alla configurazione di monitor di modo a collaudo.



18. Metodo della rivendicazione 17, ed ulteriormente comprendente:

generare una molteplicità di segnali di clock a fasi dal segnale di clock selezionato; e

variare la frequenza del segnale di clock selezionato se il segnale di clock selezionato è il segnale di clock esterno.

19. Metodo per effettuare il debug di un dispositivo di memoria avente una schiera di memoria ed un microcontroller basato su memoria a sola lettura, il metodo comprendendo:

avviare un primo modo di collaudo/debug di una molteplicità di modi di collaudo/debug;

applicare comandi al dispositivo di memoria per avviare una operazione da essere sottoposta a debug;

generare segnali di attuatore verso la schiera di memoria per avviare operazioni di memoria in risposta alla operazione che deve essere sottoposta a debug; e

porre in uscita indirizzi di memoria a sola lettura, dati di stato di microcontroller, e dati di stato di operazione di schiera di memoria generati dalla operazione che deve essere sottoposta a debug.

20. Metodo della rivendicazione 19 in cui l'operazione che deve essere sottoposta a debug è una operazione di programmazione.

21. Metodo della rivendicazione 19, in cui l'operazione che deve essere sottoposta a debug è una operazione di cancellazione.

22. Metodo della rivendicazione 19, in cui gli indirizzi di sola lettura, i dati di stato di microcontroller, e i dati di stato di operazione di schiera di memoria sono posti in uscita alla risposta alle operazioni di moltiplicazione.

23. Metodo della rivendicazione 19 e ulteriormente comprendente la schiera di memoria che fornisce segnali di retroazione sulle operazioni di memoria verso il microcontroller.

24. Dispositivo di memoria comprendente:
una schiera di memoria che immagazzina dati; e
un circuito monitor a microcontroller comprendente:

un ingresso di clock commutabile che seleziona un segnale di clock interno in un modo normale ed un segnale di clock esterno in un modo di collaudo/debug, il segnale di clock esterno avendo una frequenza che è variabile; e

un microcontroller accoppiato alla schiera di

memoria e all'ingresso di clock commutabile, il microcontroller avendo una memoria a sola lettura e ponendo dati di stato di macchina a stati nel modo a debug.

25. Dispositivo di memoria della rivendicazione 4, in cui il dispositivo di memoria è un dispositivo a memoria flash basato su una architettura NAND.

26. Dispositivo di memoria della rivendicazione 24 in cui il dispositivo di memoria è un dispositivo a memoria flash basato su architettura NOR.

27. Dispositivo di memoria della rivendicazione 24, in cui il microcontroller è inoltre adattato per porre in uscita indirizzi di memoria di sola lettura associati con il modo a debug.

28. Dispositivo di memoria comprendente:

una schiera di memoria che immagazzina dati di schiera; e

un circuito monitor a microcontroller comprendente:

un ingresso di clock commutabile che seleziona un segnale di clock interno in un modo normale ed un segnale di clock esterno in un modo di

collaudo/debug, il segnale di clock esterno avendo una frequenza che è variabile;

un microcontroller accoppiato alla schiera di memoria e all'ingresso di clock commutabile, il microcontroller avendo una memoria a sola lettura e ponendo in uscita dati di stato di macchina a stati ed indirizzi di memoria a sola lettura nel modo a debug; e

una molteplicità di circuiti di moltiplicazione che commutano tra i dati di stato della macchina a stati, gli indirizzi di memoria a sola lettura, e i dati di schiera per l'uscita dal circuito monitor a microcontroller.

29. Sistema elettronico comprendente:

un controller che controlla il funzionamento del sistema elettronico; e

un dispositivo di memoria accoppiato al controller, il dispositivo di memoria comprendendo:

una schiera di memoria che immagazzina dati; e

un circuito monitor a microcontroller comprendente:

un ingresso di clock commutabile che seleziona un segnale di clock interno in un modo normale ed un segnale di clock esterno in un modo di collaudo/debug, il segnale di clock esterno avendo



S.I.B.
ROMA

•

•

•

John



RM 2003 A 000198

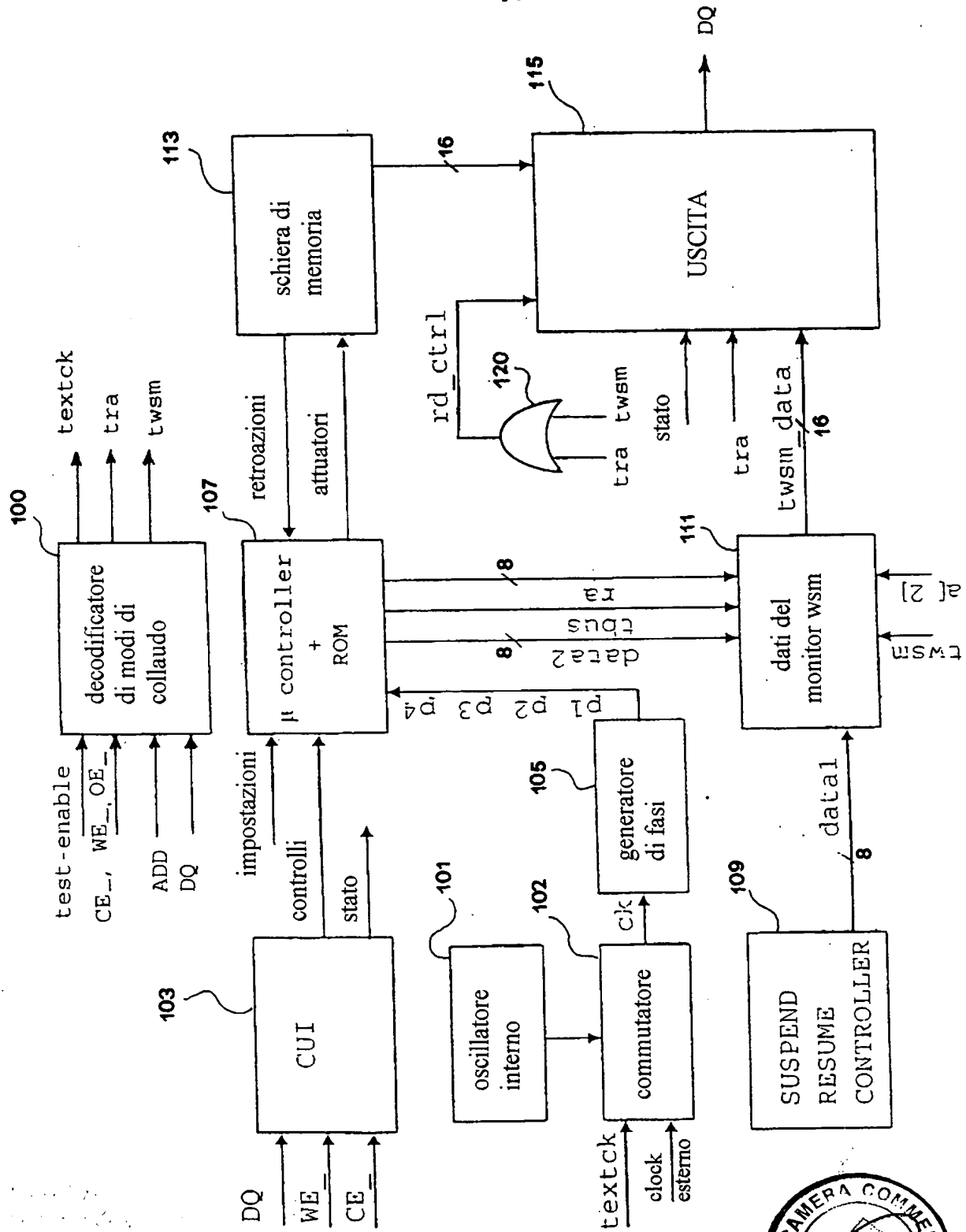


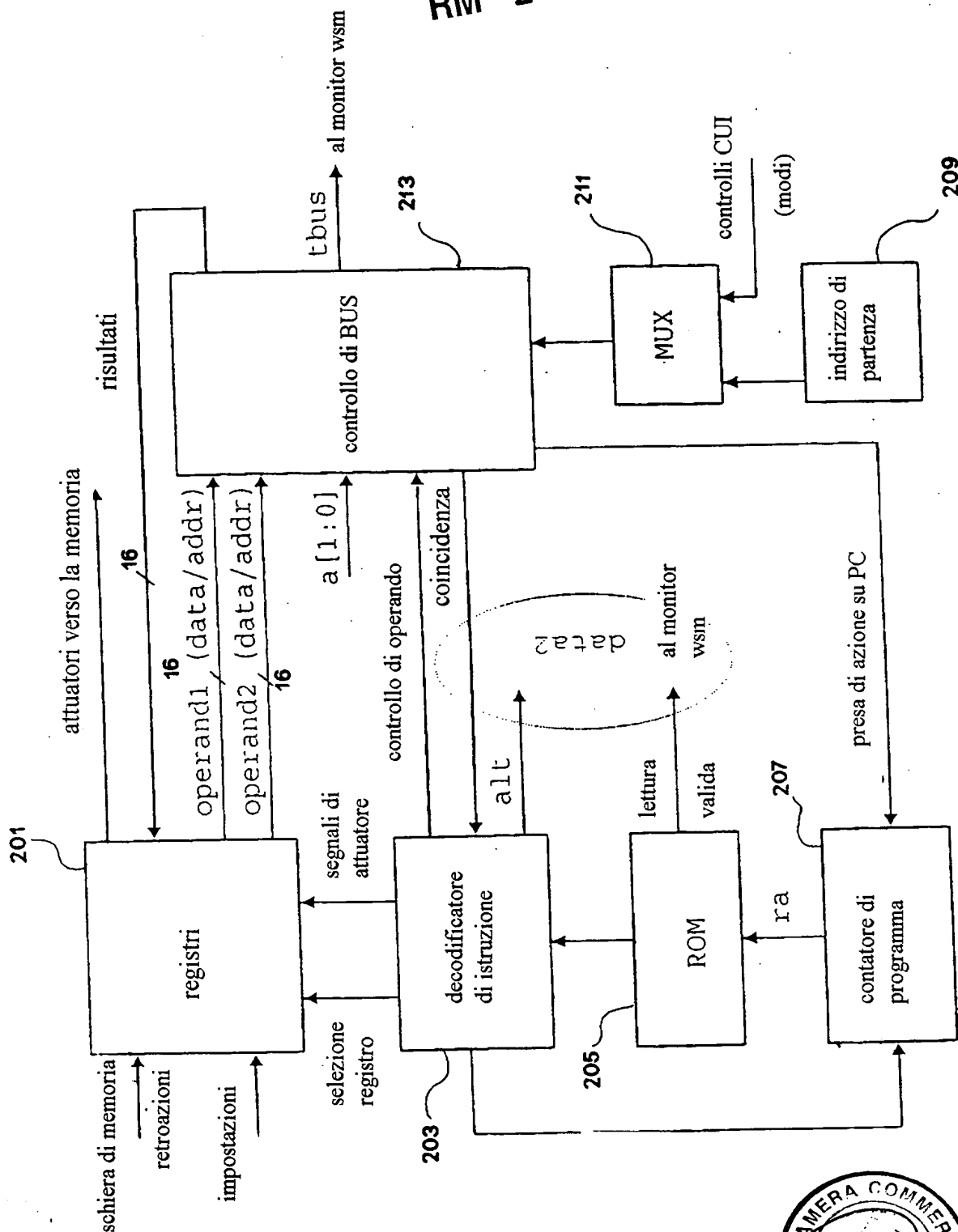
FIG. 1



Gilberto Tonon
(Iscri. Albo n. 83 BM)

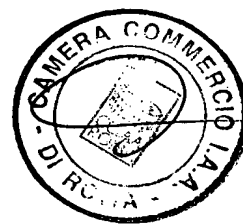
[Handwritten signature]

RM 2003 A 000138



107

FIG. 2



[Handwritten signature]

RM 2003 A 000198

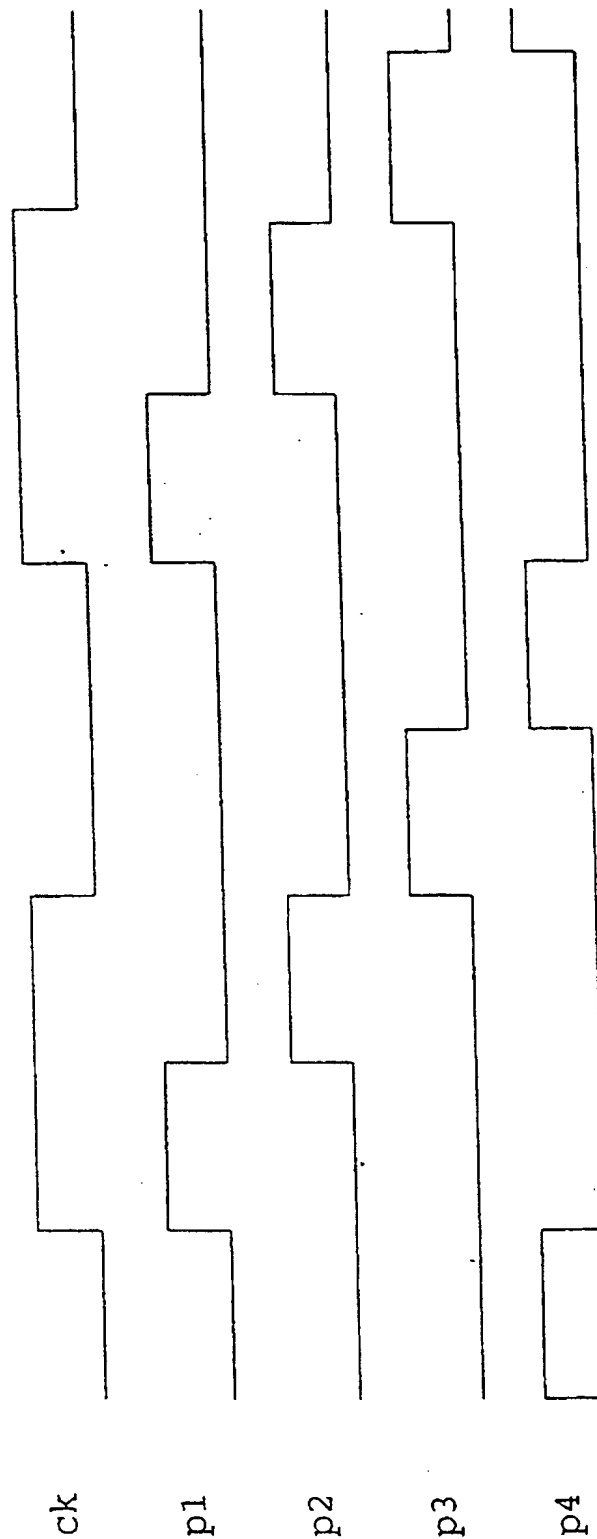


FIG. 3



[Handwritten signature]

RM 2003 A 000198

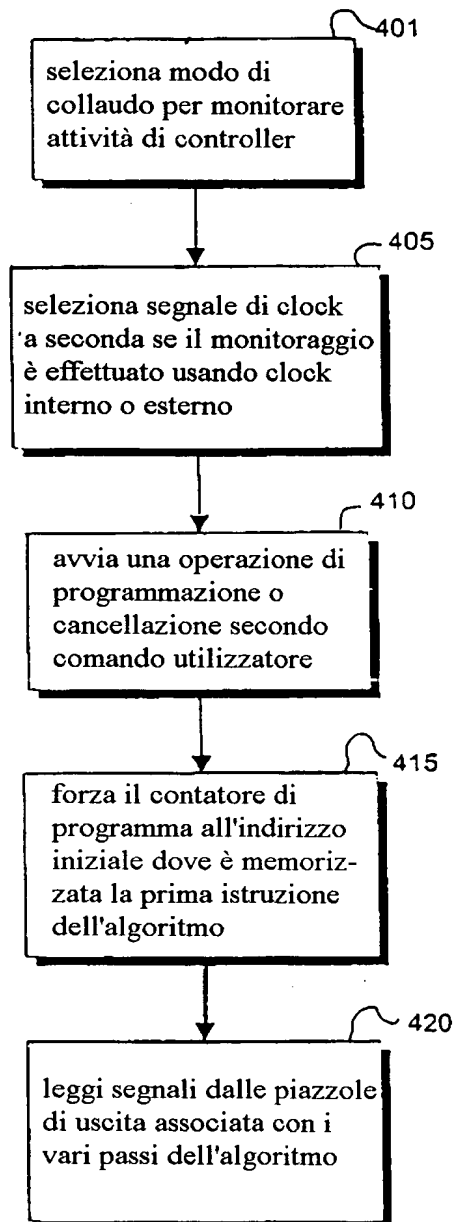
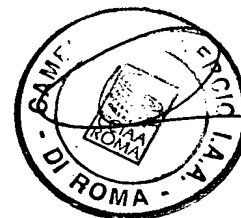


FIG. 4



[Handwritten signature]

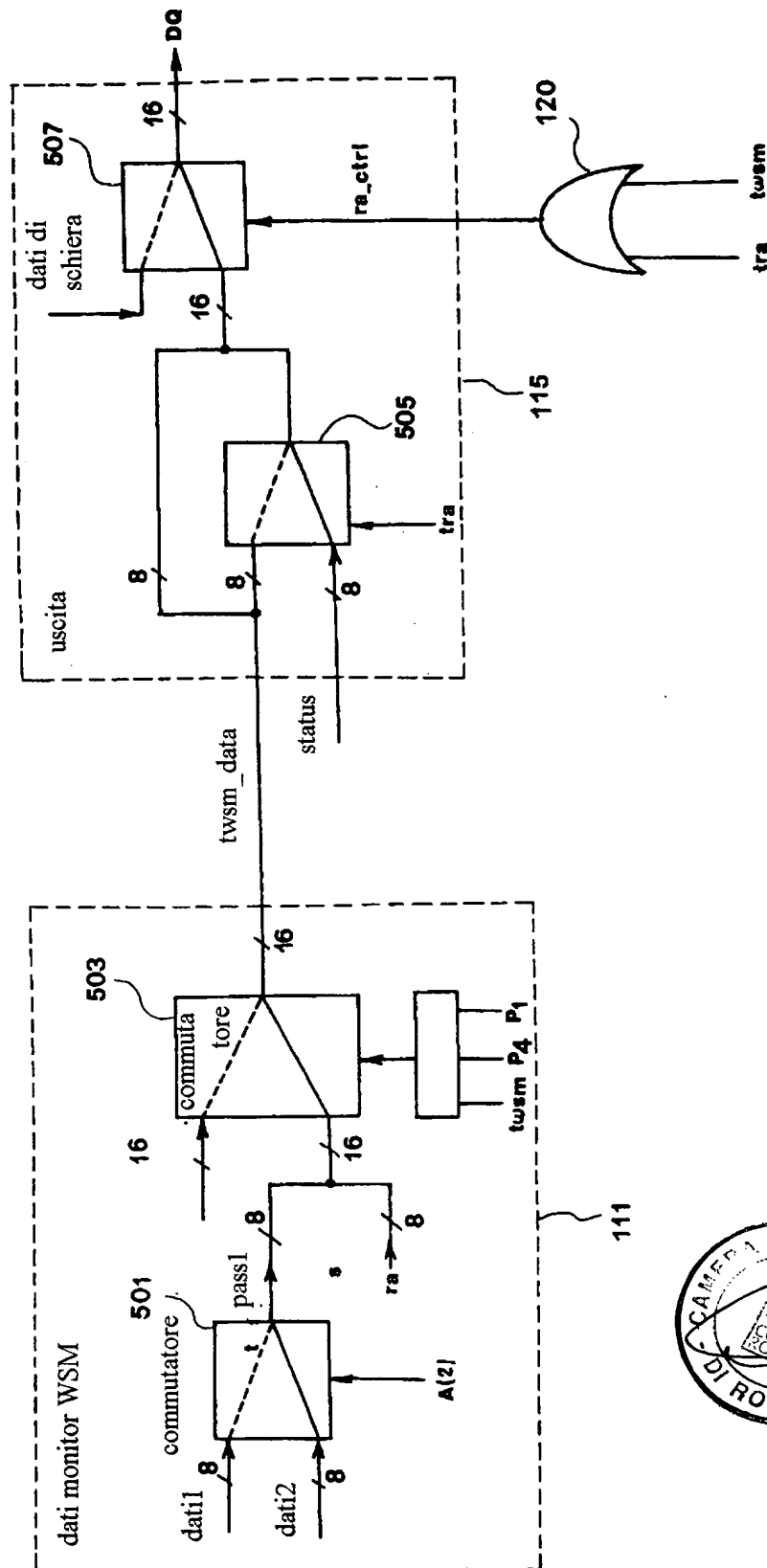
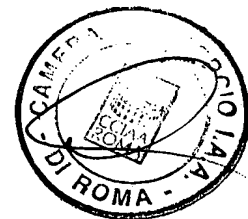


FIG. 5



[Handwritten signature]

RM 2003 A 000198

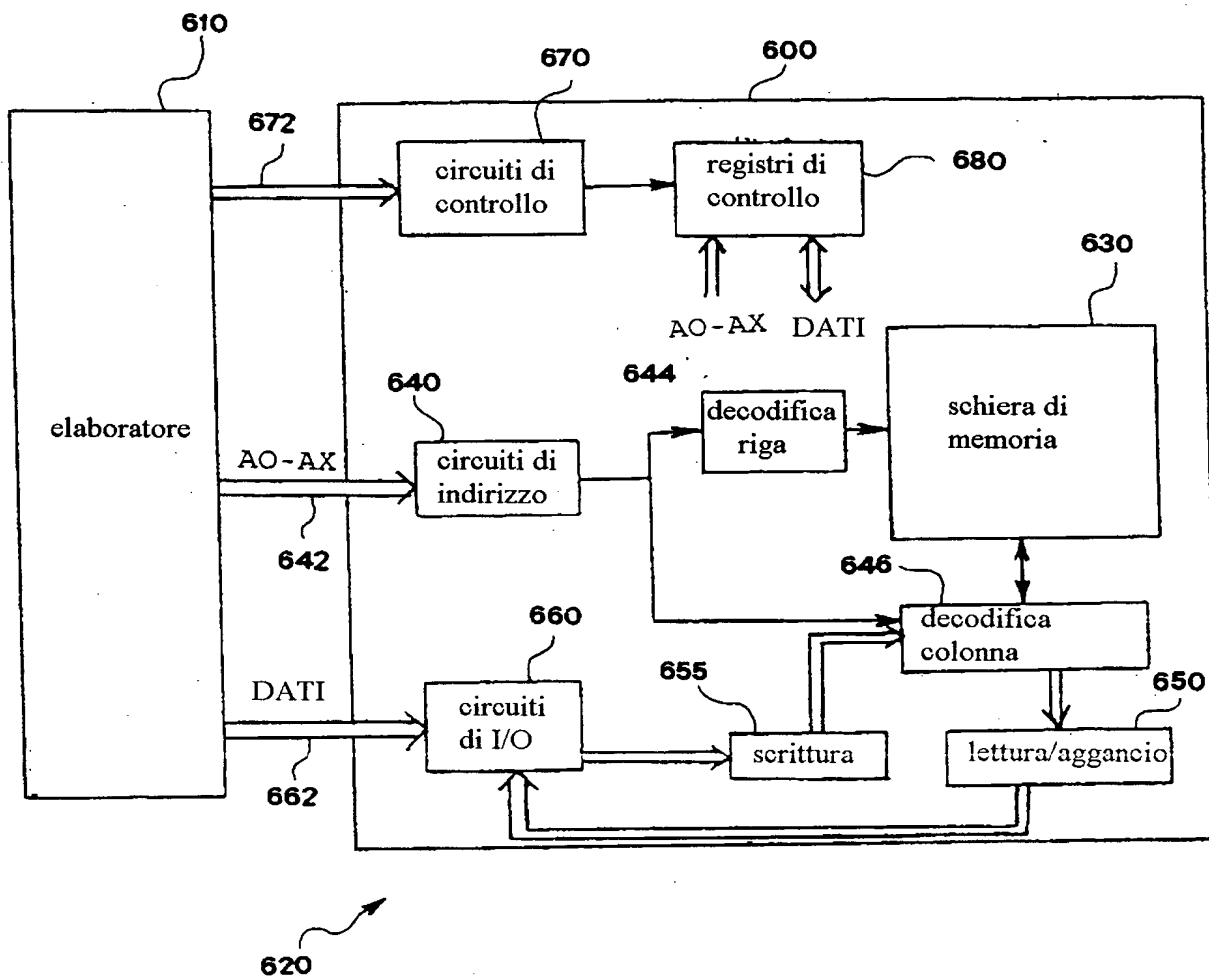
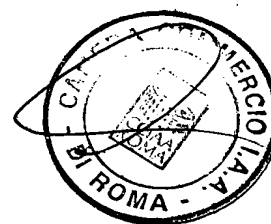


FIG. 6



[Handwritten signature]